

# Visie: Technologieën voor de verdere schaalverkleining van chips

Door de explosieve toename van het dataverkeer hebben we alsmaar krachtigere chips en meer geheugencapaciteit nodig. De Wet van Moore blijft noodzakelijk, maar daarnaast hebben we ook innovaties nodig die helpen om het vermogen, de performantie, de oppervlakte en de kost van chips en transistors te optimaliseren. An Steegen onthult enkele geheimen van de halfgeleidertechnologie – een koffer vol met materialen, transistorarchitecturen en nieuwe technieken die de verdere schaalverkleining van chips zullen mogelijk maken.

## Het einde van de ‘happy scaling’?

Door de explosieve groei van het dataverkeer, aangewakkerd door het Internet of Things, sociale media en server-toepassingen, zullen we geavanceerde halfgeleidertechnologieën blijven nodig hebben. Hierbij zijn het de servers, de mobiele toestellen, de toestellen voor IoT-toepassingen... die de voorwaarden stellen op gebied van rekenkracht en geheugen. An Steegen: “Tegelijkertijd creëert deze trend ook meer diversificatie. Toestelletjes voor IoT-toepassingen zullen bv. laag-vermogen signaalverwerking en ‘embedded’ niet-vluchtige geheugentechnologieën nodig hebben. Voor mobiele en server-toepassingen zullen een verdere schaalverkleining, een continue innovatie van de transistorarchitectuur en een aangepaste geheugenhiërarchie dan weer prioritair zijn.” Maar zullen we ook de traditionele schaalverkleining van chips, die Gordon Moore meer dan 50 jaar geleden voorstelde, kunnen aanhouden? An Steegen: “We hebben lang in het ‘happy scaling’-tijdperk geleefd, waarbij de dimensies bij elke technologieknoop verkleinden en het aantal transistors verdubbelden, en dit voor eenzelfde kostprijs. Maar de laatste 10-12 jaar volgen we dit ‘happy scaling’-traject niet langer. Het aantal transistors verdubbelt nog wel, maar de traditionele kostenreductie gaat niet langer op. We hebben eerder donkere dagen van ‘dark silicon’ meegemaakt, maar gelukkig zijn we hier steeds uitgeraakt. De technologie-box zal ons opnieuw nieuwe mogelijkheden geven om voor iedere technologieknoop het vermogen, de performantie en de oppervlakte van de transistor te optimaliseren.”

## **De technologie-box voor schaalverkleining**

Extreem ultraviolet lithografie (EUVL) wordt beschouwd als één van de belangrijkste middelen om transistors kleiner te maken en de Wet van Moore verder te zetten. An Steegen: “Idealiter hebben we deze techniek al bij de 10nm knoop nodig waar we de enkelvoudige belichtingen zullen beginnen vervangen door meervoudige belichtingen. Meer realistisch zal EUVL hopelijk op tijd zijn om de kosten voor de 7nm technologieknop te verlagen. Bij imec toonden we al aan dat we met EUVL de 7nm dimensies voor logische chips met één enkele belichting kunnen printen.” Er blijven evenwel nog uitdagingen, bv. op het gebied van de zogenaamde line-edge roughness. An Steegen: “Tegelijkertijd zetten we ook schalings-boosters in om de componenten van de chip kleiner te maken, zoals self-aligned gate contact of buried power rail. Met deze trucs kunnen we de hoogte van een standaardcel kleiner maken (van 9 naar 6 ‘tracks’), wat leidt tot een grotere dichtheid aan bits en een kleinere kostprijs voor de chip – een mooi voorbeeld van co-optimalisatie van ontwerp en technologie.”

## **Vermogen en performantie van de transistor verbeteren**

De FinFET was de ‘killer’-technologie voor de 14 en 10nm technologienodes. Maar voor de 7-5nm ziet An Steegen enkele uitdagingen. “Bij deze technologieknopen kan de FinFET-technologie niet langer de 20% performantie- en 40% vermogen-verbetering bieden. Voor 7nm en kleiner hebben we horizontale nanodraadtransistors nodig, waarbij de poort het geleidingskanaal langs alle kanten omringt (gate-all-around of GAA). Deze transistors beloven een betere elektrostatistische controle van het geleidingskanaal. In deze configuratie kunnen we de stroom optimaliseren door meerdere horizontale nanodraden verticaal te stapelen. In 2016 hebben we tijdens IEDM (de belangrijkste conferentie ter wereld op gebied van ‘electron devices’) voor de eerste keer de CMOS-integratie van verticaal gestapelde GAA silicium-nanodraad MOSFETs aangetoond. Een volgende stap kunnen verticale nanodraad-transistors zijn. Hiervoor is echter een meer disruptieve procesflow nodig. Of junctie-loze GAA nanodraad-transistors, die, zoals aangetoond tijdens de VLSI-conferentie van 2016, een aantrekkelijke optie vormen voor geavanceerde logische, laagvermogen-circuits en analoog/RF-toepassingen.” Voor nog kleinere technologieknopen (vanaf de 2,5nm) zullen ook de fin- en nanodraadtransistor niet meer voldoen. An Steegen: “Vroeg of laat zullen we de ‘next switch’ moeten vinden. Tunnel-FETs, die 3 keer meer stroom beloven, en spin-wave majority gates zijn kanshebbers.” Meerderheidspoorten gebaseerd op spin-wave-componenten met micrometer-afmetingen werden al gerapporteerd. Maar om competitief te zijn met andere CMOS-technologieën, moeten ze geschaald worden naar nanometer-afmetingen. An Steegen: “In 2016 stelde imec een methode voor om deze spin-wave-gebaseerde transistors te schalen naar nanometers. Dit opent de mogelijkheid om spin-wave majority gates te maken die een kleiner vermogen en oppervlakte beloven dan CMOS-gebaseerde logische technologie.”

## **Koper en alternatieve metalen in de ‘back-end-of-line’**

In de toekomst vormen ook de interconnects een bedreiging voor de verdere schaalverkleining van de chip. Daarom moet ook de schaalverkleining van de back-end-of-line (het gedeelte van de chip dat de transistors en andere componenten onderling verbindt) onder de loep genomen worden.

*“We zoeken manieren om koper verder te kunnen blijven gebruiken als interconnect, bv. door gebruik te maken van ‘liners’ van rubidium (Ru) of cobalt (Co). Op langere termijn zullen we misschien alternatieve metalen moeten gebruiken, zoals Co voor lokale interconnects of via’s”, zegt An Steegen.*

## **De geheugenhiërarchie van de toekomst**

De klassieke Von Neumann-architectuur voor computers bevat naast de centrale verwerkingseenheid ook een geheugen om alle data en instructies op te slaan. Ook hier richt men zich op de schaalverkleining van geheugentechnologieën. Dat is nodig om tegemoet te komen aan de almaar toenemende performantie van rekenplatformen en aan de drang van de consument om almaar meer data op te slaan en uit te wisselen. Naast deze trend tot schaalverkleining is er ook nood aan nieuwe types geheugens. An Steegen: “STT-MRAM is een voorbeeld van zo’n opkomend geheugenconcept. Dit type geheugen zou wel eens de eerste ‘embedded’ niet-vluchtige geheugentechnologie kunnen worden. Het is ook een aantrekkelijke technologie voor stand-alone-toepassingen die een hoge dichtheid aan geheugencellen vragen. Troeven van dit geheugentype zijn de niet vluchtigheid, hoge snelheid, schakeling bij laag vermogen en bijna onbeperkte lees/schrijf ‘endurance’. Maar de schaalbaarheid naar hogere dichtheden was altijd al een uitdaging. Recent hebben we een erg performante loodrechte magnetische tunnel-junctie kunnen aantonen met een afmeting van slechts 8nm. Op basis hiervan stelden we ook een produceerbare oplossing voor een schaalbaar SST-MRAM array voor.” Het toekomstige geheugenlandschap vraagt ook om een nieuw type geheugen dat de kloof kan dichten tussen DRAM en solid-state-type geheugens: het opslag-type geheugen (of ‘storage class memory’). Met dit geheugen zou men in een heel korte tijdsperiode toegang moeten krijgen tot grote hoeveelheden data. In deze context werkt imec aan MRAM- en ‘resistive’ RAM-concepten.

## **Voorbij de klassieke schaalverkleining – naar een systeem-technologie-co-optimalisatie...**

Een uitdaging voor de traditionele Von Neumann-architectuur is om meer data te kunnen overbrengen tussen de processor en het geheugen. En hier kunnen 3D-technologieën een rol spelen. An Steegen: “Met de verdere schaalverkleining van chips komen er nieuwe mogelijkheden voor 3D-chip-integratie. Zo wordt het mogelijk om verschillende partities van een systeem-op-chip (SoC) te realiseren en deze partities heterogeen te stapelen met hoge interconnect-dichtheden. Hierbij worden chips niet langer gestapeld als individuele ‘naakte’ chips (of dies), maar als volledige wafers – via wafer bonding.” Een grotere bandbreedte voor datatransfer kan ook worden gerealiseerd door optische I/O. In deze context werkt imec verder aan de bouwblokken voor zijn fotonicaplatform, zoals fotodetectoren van germanium en optische modulators met datasnelheden van 50Gb/s per kanaal.

De Wet van Moore zal zich verderzetten, maar niet alleen via de conventionele wegen van schaalverkleining.

---

*An Steegen: “We zijn geëvolueerd van een zuivere technologie-optimalisatie (door middel van nieuwe materialen en transistorarchitecturen) naar een co-optimalisatie van ontwerp en technologie (bv. het gebruik van schalings-boosters om de celhoogte te verkleinen). En we denken al aan een volgende fase, die van systeem-technologie-co-optimalisatie. Om nog meer rekenkracht te verkrijgen, kijken we ook verder dan het klassieke Von Neumann-model, zoals naar ‘neuromorphic computing’, een computerconcept gebaseerd op de werking van onze hersenen, en ‘quantum computing’, dat gebruikt maakt van de wetten van de kwantumfysica. Er zijn heel wat creatieve ideeën die de industrie zullen toelaten om de schaalverkleining van chips verder te zetten...”*

---

## Biografie An Steegen

**An Steegen** is imecs Executive Vice President Semiconductor Technology & Systems. In die functie leidt ze de activiteiten van de onderzoeks-hub om de volgende generatie ICT-technologieën mogelijk te maken en richting te geven aan de industriële roadmaps. Dr. Steegen speelt een belangrijke rol in de halfgeleider-O&O-wereld en wordt beschouwd als een expert en befaamd spreker op de belangrijkste conferenties en events van de halfgeleiderindustrie. An Steegen begon in 2010 bij imec te werken als senior VP, verantwoordelijk voor imecs CORE CMOS-programma's rond logische en geheugenchips, processing, lithografie, ontwerp en optische en 3D interconnects. Daarvoor was ze directeur bij IBM Semiconductor R&D in Fishkill, New York, waar ze verantwoordelijk was voor de ontwikkeling van bulk-CMOS-technologie. Tijdens haar loopbaan in IBM was Dr. Steegen ook host executive van IBMs logic International Semiconductor Development Alliance en was ze verantwoordelijk voor het opzetten van samenwerkingen op het gebied van innovatie en productie. In 2000 behaalde Dr. An Steegen een doctoraat in de Materiaalwetenschappen en Elektrotechniek aan de KU Leuven, terwijl ze onderzoek deed bij imec. Ze publiceerde meer dan 30 technische papers en is houder van verschillende patenten in het domein van halfgeleiders.

